

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031155

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 11-156049

(71)Applicant : ST MICROELECTRONICS  
COMMISS ENERG ATOM

(22)Date of filing : 03.06.1999

(72)Inventor : CHANTRE ALAIN  
MARTY MICHEL  
DUTARTRE DIDIER  
MONROY AUGUSTIN  
LAURENS MICHEL  
GUETTE FRANCOIS

(30)Priority

Priority number : 98 9807059

Priority date : 05.06.1998

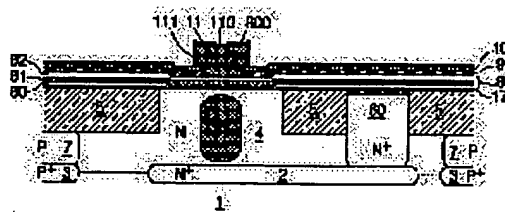
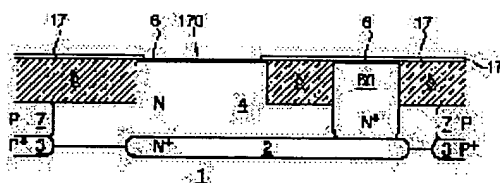
Priority country : FR

## (54) LOW NOISE VERTICAL BIPOLAR TRANSISTOR AND FABRICATION THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce low frequency noise while sustaining accurate current amplification factor by obtaining an emitter region of single crystal silicon touching the upper layer of a stack, e.g. silicon of an upper encapsulation layer of the stack, directly on a window.

**SOLUTION:** On a silicon substrate 1, a buried extrinsic collector layer 2 doped with n+ by implanting arsenic and two buried layers 3 similarly doped with p+ are formed and a thick n-type single crystal silicon layer 4 is grown epitaxially. Subsequently, an amorphous silicon layer 17 is deposited on a semiconductor block thus formed and etched above an oxide layer 6 to form a window 170 which is then subjected to desorption. Thereafter, a stack 8 is formed, a silicon dioxide layer 9 and a silicon nitride layer 10 are deposited thereon and then the layers 9, 10 are removed from a desired zone to obtain an emitter, i.e., an emitter window 800.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

**BEST AVAILABLE COPY**

(11)特許出願公開番号

特開2000-31155

(P2000-31155A)

(43)公開日 平成12年1月28日(2000.1.28)

(51) Int.Cl.?

識別記号

FI

テーマト・(参考)

H O 1 L 21/331

H01L 29/72

29/73

審査請求 未請求 請求項の数10 O.L 外国語出願 (全 32 頁)

(21)出願番号 特願平11-156049

(22)出願日 平成11年6月3日(1999.6.3)

(31)優先権主張番号 9807059

(32)優先日 平成10年6月5日(1998.6.5)

(33)優先権主張国 フランス (FR)

(71)出願人 398048925

エスティマイクロエレクトロニクス  
フランス、エフ-94250、ジェンティリイ、  
アベニュー・ガリエニ 7

(71)出願人 591150395

コミサリア タ レネルジー アトミック  
フランス国 パリ, リュ ドウ ラ フェ  
デラシオン, 31/33

(72)発明者 アラン・シャントル

フランス、エフ-38180、セイシアン、リ  
ユ・デ・プリンヴェール 32

(74) 代理人 100081721

弁理士 岡田 次生

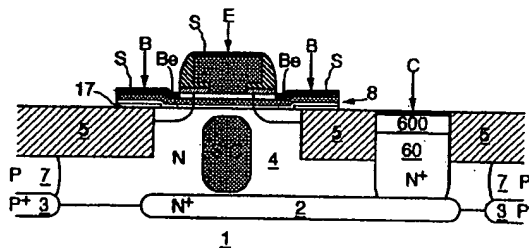
**最終頁に続く**

(54)【発明の名称】 低雑音たて形パイポーラトランジスタとその製造方法

(57) 【要約】

【課題】電流増幅率を良好に維持したまま、低周波雑音を減らすバイポーラトランジスタを提供する。

【解決手段】真正コレクタは、半導体基板に埋め込まれた外因性コレクタ層上にエピタキシャル成長する。水平絶縁領域は真正コレクタの上部を囲み、オフセット外因性コレクタウェルが生成される。真正コレクタおよび水平絶縁領域の上に、シリコン—ゲルマニウムの接合ベースが非選択的エピタキシーにより生成され、元の場所でドーピングされたエミッタが、真正コレクタの上にあるベースの表面の予め決められたウィンドウ上のエピタキシーにより生成され、前記ウィンドウの上付近に、単結晶シリコンから形成され、ベースのシリコンに直接接合しているエミッタ領域を得るようにする。



## 【特許請求の範囲】

【請求項 1】 半導体基板に埋め込まれた外因性コレクタ層上に真性コレクタを生成するステップと、前記真性コレクタの上部を囲む水平絶縁領域を生成し、オフセット外因性コレクタウェルを生成するステップと、少なくとも 1 つのシリコン-ゲルマニウム層を有するスタック層を非選択エピタキシャル成長させて、前記真性コレクタおよび前記水平絶縁領域上にシリコン-ゲルマニウムのヘテロ接合ベースを生成するステップと、前記真性コレクタ上にある前記スタックの表面の予め決められたウィンドウ上でエピタキシャル成長され、その場でドーピングされたエミッタを生成するステップとを含み、前記スタックの上位層に直接接触し、単結晶シリコンから形成されるエミッタ領域を、少なくとも前記ウィンドウ上に得るようにしたたて形バイポーラトランジスタを製造する方法。

【請求項 2】 前記エミッタを生成するステップが、前記スタックの表面上に二酸化シリコンの第 1 の層を堆積し、該二酸化シリコンの第 1 の層上に窒化シリコンの第 2 の層を堆積し、該窒化シリコン層において、前記ウィンドウの位置に対応するゾーンを前記二酸化シリコンの第 1 の層上までエッチングし、該ゾーンを化学的に脱酸し、前記ウィンドウにおいて  $1\text{cm}^2$  あたり  $10^{15}$  より小さい酸素原子濃度を持つシリコン表面を得るようにする第 1 のステップと、前記第 1 のステップで得られた半導体ブロックを、非酸化性に制御された雰囲気中で、シランとドーパントのガス混合に露出する第 2 のステップと、を含む請求項 1 に記載のたて形バイポーラトランジスタを製造する方法。

【請求項 3】 前記第 2 のステップの後に、少なくとも前記ウィンドウ上に単結晶形状のシリコン層を得て、該シリコン層を、前記ウィンドウより幅が広く、窒化シリコン層の一部に接する上部領域を有するエミッタを形成するようエッチングし、絶縁スペーサを、前記エミッタより幅の広い上部領域の垂直壁に接触するよう形成する請求項 2 に記載のたて形バイポーラトランジスタを製造する方法。

【請求項 4】 前記第 1 のステップが、前記窒化シリコンの第 2 の層上に厚い二酸化シリコンの第 3 の層を堆積し、該二酸化シリコンの第 3 の層において、前記ゾーンの位置に対応する領域を前記窒化シリコンの第 2 の層上までプレエッチングし、前記第 1 のステップの後に、3 つの絶縁層のスタックにおいて前記ウィンドウと同じ幅の空洞を有する半導体ブロックを得るようにし、前記第 2 のステップの後に、前記空洞を前記エピタキシャル成長により満たし、前記二酸化シリコンの第 3 の層を、前記空洞に形成されたエミッタブロックのそれぞれの側で

エッチングし、絶縁スペーサを、前記エミッタの垂直壁に接触するよう形成する請求項 2 に記載のたて形バイポーラトランジスタを製造する方法。

【請求項 5】 前記第 2 のステップにおいて、ドーパントガスの量を変化させて、前記ベースに直接接触した下部よりも前記エミッタの上部においてドーパント濃度が低くなるようにした請求項 2 から請求項 4 のいずれかに記載のたて形バイポーラトランジスタを製造する方法。

【請求項 6】 半導体基板に埋め込まれた外因性コレクタ層上に位置する真性コレクタと、前記真性コレクタの上部を囲む水平絶縁領域と、オフセット外因性コレクタウェルと、前記真性コレクタおよび前記水平絶縁領域上にあり、少なくとも 1 つのシリコン-ゲルマニウム層を有するスタック層に形成されるシリコン-ゲルマニウムのヘテロ接合ベースと、前記ベースにより囲まれ、ドーピングされたエミッタであって、前記真性コレクタの上にあり、少なくとも前記スタックの表面の予め決められたウィンドウ上に、単結晶シリコンから形成され、前記スタックの上位層に直接接触するエミッタ領域を有するエミッタと、を備えるたて形バイポーラトランジスタ。

【請求項 7】 前記スタックの表面の前記ウィンドウが、 $1\text{cm}^2$  あたり  $10^{15}$  より少ない酸素原子濃度を持つ請求項 6 に記載のたて形バイポーラトランジスタ。

【請求項 8】 前記エミッタが、前記ウィンドウより幅が広い上部領域を有し、該領域は窒化シリコン層に接しており、該窒化シリコン層自身は、ベースの一部に残っている二酸化シリコン層により支持されており、前記エミッタが、該エミッタより幅の広い上部領域の垂直壁および二酸化シリコン層に接する絶縁スペーサを有する請求項 6 または請求項 7 に記載のたて形バイポーラトランジスタ。

【請求項 9】 前記エミッタが前記ウィンドウと同じ幅のブロックから形成され、該ブロック全体が前記スタックに直接接しており、前記エミッタが、該エミッタの垂直壁および二酸化シリコン層に接する絶縁スペーサを有する請求項 6 または請求項 7 に記載のたて形バイポーラトランジスタ。

【請求項 10】 前記エミッタが、前記スタックに直接接触する下部よりも上部において少なくともドーピングされる請求項 6 から請求項 9 のいずれかに記載のたて形バイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、たて形バイポーラトランジスタに関し、より具体的には、高周波超大規模集積回路 (VLSI) 技術のための、これらのトランジスタのエミッタの特性および製造に関する。

## 【0002】

【従来の技術】ポリシリコンのエミッタのバイポーラ技術においては、エミッタは、従来のオープン（加熱容器）で実行することのできるポリシリコン堆積を行い、その後ドーピング操作することにより作られる。異なる形態では、化学蒸着法（CVD）反応器においてエミッタをその場でドーピングすることができる。

【0003】どちらの場合も、酸化層が、エミッタ／ベースのインターフェースに存在する。この層は、ベースにおける正孔電流を制限する（注入された電子は、トンネル効果のため流れ続ける）。これにより、十分な電流増幅率「 $I_c/I_b$ 」が得られる。

【0004】

【発明が解決しようとする課題】しかし、これらのポリシリコンのエミッタのトランジスタは、ある欠点を有する。第一に、これらは低周波雑音を表し、これは、トランジスタ電流における低周波の変動（揺らぎ）となる。そのようなトランジスタを組み込み、それを使用して2つの接近した搬送波を分離しようとする無線周波数回路または発振器の場合には、いっそう問題となる。

【0005】さらに、ベース／ポリシリコンエミッタのインターフェースにおける酸化層の寸法特性は、トランジスタの静的パラメータ、特に増幅率に影響を持つ。しかし、いくつかのパッチのすべてのトランジスタの酸化層インターフェースについて同一の特性を保証することは、特にエミッタの表面が変化するときには極めて困難である。したがって、製造されるすべてのトランジスタにおいて均一な特性を得ることは、それらのエミッタの表面が何であろうと極めて困難である。

【0006】この発明は、これらの問題への解決を提供する。

【0007】

【課題を解決するための手段】この発明のある目的は、許容可能な静的パラメータ、特に正確な電流増幅率を維持したまま、低周波雑音を減らすことである。

【0008】この発明の他の目的は、得られるべきトランジスタの特性の均一性を、それらのエミッタの表面にかかわらず良くすることである。

【0009】この発明のさらなる目的は、エミッタのドーピングにより、電子注入効果を高くし、エミッタ上面のシリサイド化を良好にすることである。

【0010】したがって、この発明は、たて形バイポーラトランジスタを製造する方法を提供し、この方法は、半導体基板に埋め込まれた外因性コレクタ層上に、例えばエピタキシャル成長により真性コレクタを生成するステップと、該真性コレクタの上部を囲む水平絶縁領域を生成し、オフセット外因性コレクタウェルを生成するステップと、たとえば2つのシリコン層により封入されたシリコンゲルマニウム層、または1つのシリコン層上に、少なくとも1つのシリコンゲルマニウム層を有するスタック層を非選択エピタキシャル成長させ、真性コ

レクタおよび水平絶縁領域上にシリコンゲルマニウム（SiGe）のヘテロ接合ベースを生成するステップと、前記スタックの表面に予め定義されたウィンドウ（「エミッタウィンドウ」といい、このウィンドウは、真性コレクタの上にある）上にエピタキシャル成長し、その場でドーピングされたエミッタを生成するステップとを含み、少なくとも前記ウィンドウ上に、例えば前記スタックの上位封入層のシリコンのようなスタックの上位層に直接接触して、単結晶シリコンから形成されるエミッタ領域を得るようにする。

【0011】言い換えると、この発明は、「ベース」上に直接エピタキシャル成長した単結晶エミッタを生成する方法を提供し、境界面の酸化層の存在の問題を回避するようにする（厳密にいうと、真性ベースの上部を定義するエミッタ／ベース接合が、上位封入層にある）。したがって、エピタキシャル成長した単結晶エミッタ（これは、境界面に酸化物が無いことを意味する）により、エミッタの表面が何であろうと、トランジスタ特性の良好な均一性が得られる。

【0012】さらに、ベース上に直接エピタキシャル成長し、結果として境界面の酸化物の問題を回避するエミッタを持つこのようなトランジスタが、減少した低周波雑音を容易に表すことが観察された。さらに、ベース上に直接エピタキシャル成長したエミッタと、シリコンゲルマニウムのヘテロ接合ベースの存在により、境界面の酸化層の消滅により生じる増幅率の損失を、許容できる程度にまで補償することが可能になる。

【0013】最後に、単結晶エミッタと、エミッタについてその場でのドーピング操作を使用するという事実により、エミッタを生成するとき、エミッタが成長している間にドーパントの量を段階的に変化させることが可能となる。これにより、以下に詳細に説明する特に有利な実現方法からわかるように、エミッタの上部よりも底部において高いドーパント濃度を得ることができる。この有利な点は、多結晶エミッタでは、粒界があるためにドーパントがポリシリコン内に自然に分配されるので、不可能である。

【0014】この発明を実現する1つの方法によると、エミッタを生成するステップは、2つのステップを含む。第1のステップは、前記スタックの表面上に二酸化シリコンの第1の層を堆積し、二酸化シリコンの第1の層上に窒化シリコンの第2の層を堆積し、窒化シリコン層においてエミッタウィンドウの位置に対応するゾーンを二酸化シリコンの第1の層上までエッチング処理し、前記ゾーンの化学的脱酸を行い、前記ウィンドウにおいて $10^{15}/\text{cm}^2$ より小さい酸素原子濃度を持つシリコン表面を得るようにする。

【0015】第2のステップは、第1のステップで得られた半導体ブロックを、当該技術分野の当業者に周知な極めて清浄なCVD反応器において、例えば真空中、非

酸化制御された雰囲気中のシランとドーパント(dopant)とのガス混合に露出することを含む。

【0016】こうして、この発明により、極めて清浄なCVD反応器において、従来通りのポリシリコン堆積条件を使用することができる。しかし、シリコンは、ベースにおけるウィンドウの化学的に清浄な特性のために、ベース上に単結晶形状で成長する。

【0017】この発明の第1の実施形態によると、第2のステップの後、少なくとも前記ウィンドウ上に単結晶形状のシリコン層が得られ、このシリコン層がエッチングされ、前記ウィンドウより幅の広い上部領域を有するエミッタを形成する。この領域は、窒化シリコン層の一部に接する。その後、絶縁スペーサを、エミッタより幅の広い上部領域の垂直壁に接触するよう形成する。

【0018】この発明の他の実施形態によると、前記第1のステップは、窒化シリコンの第2の層の上に厚い二酸化シリコンの第3の層を堆積し、二酸化シリコンの第3の層において、前記ゾーンの位置すなわちエミッタウィンドウの位置に対応する領域を、窒化シリコンの第2の層上まで予めエッチング(プレエッチング)し、第1のステップの後に、3つの絶縁層のスタックにおいて前記ウィンドウと同じ幅の空洞を有する半導体ブロックを得るようにする。第2のステップの後、すなわちエミッタのエピタキシャル成長の後、前記空洞を前記エピタキシャル成長で満たし、二酸化シリコンの第3の層を、空洞に形成されたエミッタブロックのそれぞれの側でエッチングし、絶縁スペーサを、エミッタの垂直壁に接触するよう形成する。

【0019】言い換えると、この発明のこの実施形態によると、より短い距離が、エミッタのエッジと外因性ベースの注入されたゾーンのエッジとの間で得られる。これによりベース-コレクタキャパシタンスと同様にベース抵抗をさらに減らすことができる。さらに、この短い距離は、1つのフォトリソグラフィレベルで制御される。

【0020】この発明のある方法によると、この方法は、ここで説明したいずれの実施形態にも適用することができ、第2のステップのドーパントガスの量を変化させて、ベースに直接接触する下部よりも低いドーパント濃度を、エミッタの上部で得るようにする。これにより、高い電子注入効果およびエミッタの上部の良好なシリサイド化を得ることが可能となる。

【0021】また、この発明の主題は、半導体基板に埋め込まれた外因性コレクタ層上に位置する真性コレクタと、真性コレクタの上部を囲む水平絶縁領域と、オフセット外因性コレクタウェルと、真性コレクタと水平絶縁領域上にあり、少なくとも1つのシリコン-ゲルマニウム(SiGe)層(たとえば、2つのシリコン層により封入されたSiGe層)を有するスタック層に形成されるシリコン-ゲルマニウムのヘテロ接合ベースと、外因性ベース

により囲まれ、ドーピングされたエミッタであって、真性コレクタの上にあり、少なくとも前記スタックの表面の予め決められたウィンドウ上に、単結晶シリコンから形成され、スタックの上位層(たとえば、前記スタックの上位封入層のシリコン)に直接接触するエミッタ領域を有するエミッタとを備える。

【0022】前記スタックの表面におけるウィンドウは、 $10^{15}/\text{cm}^2$ より少ない酸素原子濃度を持つのが有利である。

【0023】この発明の第1の実施形態によると、エミッタは、ウィンドウより幅の広い上部領域を有し、該領域は窒化シリコン層に接する。窒化シリコン層自体は、ベースの一部に残っている二酸化シリコン層により支持される。さらに、エミッタは、エミッタより幅の広い上部領域の垂直壁および二酸化シリコン層に接する絶縁スペーサを有する。

【0024】この発明の他の実施形態によると、エミッタはウィンドウと同じ幅のブロックから形成され、ブロック全体が前記スタックに直接接している。エミッタは、エミッタの垂直壁および二酸化シリコン層に接する絶縁スペーサを備える。

【0025】この発明の他の実施形態によると、エミッタは、ベースに直接接触している下部よりもその上部において少なくドーピングされる。

【0026】この発明のさらなる有利な点および特性は、制限的ではない実現方法および実施形態の詳細な説明を読み、図面を参照する際に明らかになるであろう。

【0027】

【発明の実施の形態】図1は、たとえばp形シリコン基板のようなシリコン基板1を示し、このシリコン基板1の表面には、ヒ素打ち込みによりn+にドーピングされた埋込み外因性コレクタ層2が周知の従来方法で生成される。同様に、ホウ素打ち込みにより、p+にドーピングされた2つの埋込み層3が、外因性コレクタ2の両側に従来方法で生成される。厚いn形単結晶シリコン層4が、周知の方法で基板1上にエピタキシャル成長して形成され、この層4は典型的には1ミクロンの厚みを持つ。

【0028】次に、水平絶縁領域5が、LOCOS(local oxidation)プロセスにより、または浅い溝の形で、周知の方法を使用して層4に生成される。簡単に説明するため、図1は、浅い溝型の水平絶縁領域5を示す。また、埋込み層2に接しているn+にドーピングされたコレクタウェル60は、特にリン打ち込みにより、従来通りに生成される。

【0029】次に、ホウ素打ち込みステップが実行され、pにドーピングされたウェル7を水平絶縁領域5の下に生成し、ここで説明するバイポーラトランジスタに隣接するトランジスタから絶縁できるようにする。

【0030】次に、熱酸化物、典型的には二酸化シリコ

ン(二酸化ケイ素)が、エピタキシャル成長した単結晶真性コレクタ4の表面上に、従来通りに成長する。また、この二酸化シリコンの成長は、ウェーハ全体を覆って、特にコレクタウェル60上に起こる。また、この酸化物は、同じウェーハ上のバイポーラトランジスタと一緒に生成されるCMOSトランジスタのゲート酸化物を形成する(BiCMOS; バイポーラCMOS技術)。次に、こうして形成された半導体ブロック上に、約500Åの厚みを持つアモルファスシリコン層17が堆積される。

【0031】次に、「ベースウィンドウ」と呼ばれるウィンドウ170が、プラズマエッチングにより酸化層6上までエッチングされる。浅い溝型の水平絶縁を使用すると、エッチングされたシリコン層17の2つの部分が、真性半導体コレクタ4の上に突き出る。LOCOSタイプの水平絶縁を使用すると、エッチングウィンドウ170は、真性コレクタ4より広くなることがある。

【0032】図2では、コレクタの上にある酸化層6が、化学的な脱酸を受ける。アモルファスシリコン層17の1つの機能が、この化学的な脱酸の間、ウェーハの残りの部分、特に浅い溝で生成されている時の水平絶縁ゾーンを保護することにあるのに注目すべきである。

【0033】次に、ベースウィンドウが、600℃より高い温度の水素中で脱着処理を受けた後、3つの層80、81および82からなるスタック8(この中に、トランジスタの将来のベースが生成される)がエピタキシャル成長する。より具体的には、ドーピングされないシリコンの第1の層80が、数十ナノメートルの深さでエピタキシャル成長する。

【0034】次に、シリコン-ゲルマニウムから形成される第2の層81が、エピタキシャル成長する。実際には、この層は、 $\text{Si}_{1-x}\text{Ge}_x$ (ここで、 $x$ は、0.1~0.2の間にある定数である)の第1のサブレイヤー(sublayer)と、その上部にあり、 $\text{Si}_{1-x}\text{Ge}_x$ (ここで、 $x$ は、ちょうど0まで減る)の合金から形成される第2のサブレイヤーから構成され、ホウ素によりpにドーピングされる。層81の合計した厚みは、典型的には20~100ナノメートル(nm)であり、このことは重要なことではない。

【0035】次に、層81の第2のサブレイヤーは、ホウ素によりpにドーピングされたシリコンのエピタキシャル成長層82により覆われ、この層82は、数十ナノメートルの厚みを持つ。

【0036】典型的には極めて清浄なCVD反応器において約700℃で実行されるこのエピタキシーの後に、ベースウィンドウにおける真性コレクタ上では単結晶層である層のスタックが得られ、アモルファスシリコン層17の上では多結晶層である層のスタックが得られる。この積層スタックにより、シリコン-ゲルマニウムのヘテロ接合ベースを形成することができるようになる。ヘテロ接合ベースを生成するためのエピタキシーが、非選

択エピタキシーであることに注目すべきである。

【0037】さらに、アモルファスシリコン層17の存在により、エピタキシーの始まりにおいて、本質的にシリコンから形成される表面を持つことが可能になり、これにより、真性コレクタとアモルファスシリコン上でほぼ同じ成長レートを得ることができ、ベースについてより厚みの増した均一性が得られる。

【0038】次に、約200Åの厚みを持つ二酸化シリコンの第1の層9が、層82の上に堆積される。また、二酸化シリコンの第1の層9の上に堆積されるのは、窒化シリコン( $\text{Si}_3\text{N}_4$ )の第2の層10であり、この層10は、300Åの厚みを持つ。

【0039】図3では、ゾーン100が、真性コレクタ4の上にあるエミッタウィンドウに対応する窒化層10に、マスクを使用して定義される。その後、前記マスクに対応する樹脂層を使用して、窒化層10が従来通りに二酸化シリコン層9上までプラズマエッチングされ、ゾーン100を露出するようにする。次に、層10上にあり、層10をエッチングするための樹脂を維持しつつ、ベースを介してリン打ち込み操作が実行される。エミッタウィンドウの下にあるコレクタを選択的にオーバードーピングする操作(選択打ち込みコレクタを形成するため)を、1または複数の打ち込みステップで実行することができ、こうしてコレクタ抵抗を下げて、トランジスタの速度を上げるようにする。このようにして、エミッタウィンドウの下にあるオーバードーピングされたSICゾーンが得られる。

【0040】このステップの後、窒化シリコン層10上にある樹脂が除去され、化学的な脱酸処理が実行され、ゾーン100にある二酸化シリコン層9の一部を除去して、エミッタウィンドウ800(図4)を生成する。このような化学的脱酸処理の例として、約1%に希釈したフッ化水素酸に基づいた酸浴槽を1分間使用することができる。これにより、化学的に清浄な単結晶シリコン表面、すなわち、その酸素原子濃度が $10^{15}/\text{cm}^2$ より小さい表面を得ることができる。さらに、そのような化学的脱酸ステップは、下にある単結晶シリコン表面を(たとえば、プラズマエッチングとは異なり)劣化させず、したがって結晶の欠陥も発生しない。

【0041】シリコンの表面状態をさらに良くするため、水素中で高温(>550℃)の脱着を行い、脱酸の間にシリコン表面上に吸収された残留不純物を除去するようにするのが有利である。

【0042】次に、トランジスタのエミッタが、例えばCentura HTFというApplied Materials社により販売されている極めて清浄なCVD反応器において生成される。より具体的には、エミッタウィンドウ800において露出されたベースをもつ半導体ブロックが、非酸化性雰囲気中(典型的には、真空または水素)で、シラン/アルシンのガス混合にさらされる。

【0043】CVDの状況は、たとえば、630℃、80トル(torr)の圧力で、10リットル/分の水素流入レート、0.5リットル/分のシラン流入レート、および0.12cm<sup>2</sup>/分のアルシン流入レートである。

【0044】当該技術分野の当業者ならば、実際にはこれらの状況が、ポリシリコンの堆積に対応するというように気づくであろう。しかし、ウィンドウ800において露出されたベースの単結晶表面の化学的に清浄な特性のために、この反応器で堆積されたシリコンがエピタキシャル成長し、すなわちベース上に単結晶層を形成する。

【0045】約2500Åの厚みを持つシリコン層を得た後、新しいフォトリソグラフィ（写真平版）マスクおよび対応する樹脂ブロックを用いて、従来通りにシリコン層をエッチングし、ウィンドウ800において、低部110を持つエミッタ11を得るようにする（図4）。この低部110の上には、エミッタウィンドウより広い上部111があり、エミッタウィンドウのエッジと領域111のエッジとの間の距離は、典型的には約0.2μmである。したがって、このエミッタはその場でドーピングされ、エミッタウィンドウにおけるベースとのインターフェースの近傍付近にある単結晶形状となる。実際には、インターフェースの近くでは単結晶形状であり、窒化物の上では多結晶であり、ウィンドウの上にある、上部のエピタキシャル成長した部分において好ましい方位を持つことが観察された。

【0046】次に、窒化シリコン層が堆積されてエッチングされ、窒化シリコン層10を含み、エミッタの上部領域111の垂直壁および二酸化シリコン層9を支えるスペーサ120を得るようにする（図5）。その後、トランジスタのベース形状が新しいマスクを使用して定義され、酸化層9がプレエッチングされた後に、層17と層8のスタックがエッチングされ、図5に示される構成を得るようにする。

【0047】次に、ベースのそれぞれの側に樹脂のブロックが堆積され、エミッタ上には樹脂のピネット(vignette)が同様に堆積され、その後に、スタック8がホウ素を使用してp<sup>+</sup>注入を受け、外因性ベースBeを定義するようにする（図6）。トランジスタが樹脂により保護された後、ヒ素の打ち込み操作が実行され、n<sup>+</sup>に注入された領域600をコレクタウェルの表面上に生成するようにする。

【0048】最後のステップは、ベース、エミッタおよびコレクタの接続パッドSを、「サリサイド(self-aligned silicide;セルフ・アライド・シリサイド)」型の周知の技術を使用して生成することを含む。「サリサイド」型の技術は、外因性ベース、エミッタおよび外因性コレクタのシリコン領域上にシリサイド(TiSi<sub>2</sub>)を形成するため、金属層（たとえば、チタン）を堆積するステップを含む。

【0049】したがって、この発明によるトランジスタは、図6に示されるように、VLSIタイプのBiCMOS技術で使用するののできるシリコン-ゲルマニウムのヘテロ接合ベースを持つn-p-nのたて形トランジスタである。これは、上位封入層(82)のシリコンに直接接触している単結晶エミッタを持つ。しかし、特にドーパント拡散および様々な通常の熱処理のために、エミッタ/ベース接合が層82の中にある。トランジスタの低周波雑音が減らす一方、その静的パラメータ、とりわけ電流増幅率は良好なままである。さらに、トランジスタは、多結晶エミッタを持つトランジスタと比べて低いエミッタ抵抗を持つ。

【0050】ここで説明した実施形態では、ウィンドウ800のエッジとエミッタの上部領域のエッジとの間の距離が、本来のエミッタウィンドウをエッチングするのに使用されるフォトリソグラフィーマスクと比較して、エミッタの上部領域をエッチングするのに使用されるフォトリソグラフィーマスクの位置合わせに依存する。これにより、トランジスタの製造が、わずかに困難なものとなる。

【0051】図7～図11に示される実施形態は、厚い二酸化シリコンの第3の層90（典型的には、2000Åの厚みを持つ）が、窒化シリコン層10の上に堆積されるので、この問題を回避することができる（図7に示されるように）。次に（図8）、層10（図3）のゾーン100の位置に対応する領域900すなわちエミッタウィンドウ800の位置が、従来通り厚い層90において窒化シリコンの第2の層10上までプラズマエッチングされる。エミッタウィンドウのエッチングは、前述した方法と同様のやり方で行われる。同様に、SICゾーンの注入も、前述したものと同様である。

【0052】次に、前述したのと同様のやり方で、二酸化シリコン9、窒化シリコン10および二酸化シリコン90の連続した層のスタック内に作られる空洞のベース上に、シリコンの再エピタキシャル成長を引き起こすポリシリコン堆積条件の下で、シリコンが堆積される。

【0053】次に、空洞を超えて広がるシリコンが、例えば機械的・化学的研磨により、またはフルウェーハエッチングにより、酸化層90まで取り除かれる。その後（図9）、層90が、エピタキシャル成長した単結晶シリコンのそれぞれの側で窒化シリコン層10までプラズマエッチングされ、エミッタウィンドウと同じ幅の単一ブロック110として形成されるエミッタを得るようにする。

【0054】この実現方法の次のステップおよびとりわけスペーサ120の形成は、前述したものと同様である。したがって、エミッタのエッジとスペーサ120のエッジとの間の距離が短いものが得られ、この距離は、もはやフォトリソグラフィ操作により制御されない。技術的な簡素化は別として、図11に示されるトランジ

スタの場合では、低いベース抵抗および低いベースとコレクタのキャパシタンスが得られる。

【0055】最後に、ここで説明してきた2つの実施形態のいずれにおいても、その場でドーピングされるエミッタを生成するとき、エミッタがエピタキシャル成長している間にドーパントの量を段階的に変化させることが有利である。こうして、エピタキシーの最初において、たとえば前述したヒ素 (As) の流入レート ( $0.12\text{cm}^3/\text{分}$ ) を維持したまま、エミッタの上部領域ではこの流入レートが、たとえば  $0.6\text{cm}^3/\text{分}$  の値に達するまで減らされる。したがって、その場でドーピングされたエミッタの場合では、ベースに接触しているエミッタの下側領域では、たとえば  $3 \times 10^{20}\text{cm}^3/\text{分}$  の As ドーパント濃度が、エミッタの上部領域では、たとえば  $10^{20}\text{cm}^3/\text{分}$  の As ドーパント濃度が得られる。従って、これらの値により、エミッタの下側部分においては良好な電子注入を、エミッタの上側部分においては良好なシリサイド化を達成することができる。

【0056】

【発明の効果】電流増幅率を良好に維持したまま、低周波雑音を減らすことができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるバイポーラトランジスタの作成を示す図。

【図2】この発明の第1の実施形態によるバイポーラトランジスタの作成を示す図。

【図3】この発明の第1の実施形態によるバイポーラト

ランジスタの作成を示す図。

【図4】この発明の第1の実施形態によるバイポーラトランジスタの作成を示す図。

【図5】この発明の第1の実施形態によるバイポーラトランジスタの作成を示す図。

【図6】この発明の第1の実施形態によるバイポーラトランジスタの作成を示す図。

【図7】この発明の第2の実施形態によるバイポーラトランジスタの作成を示す図。

【図8】この発明の第2の実施形態によるバイポーラトランジスタの作成を示す図。

【図9】この発明の第2の実施形態によるバイポーラトランジスタの作成を示す図。

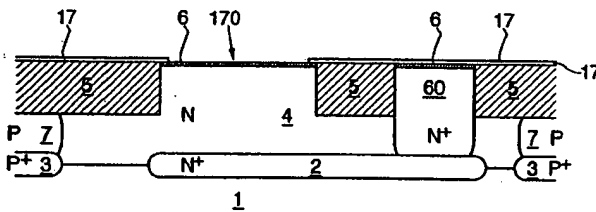
【図10】この発明の第2の実施形態によるバイポーラトランジスタの作成を示す図。

【図11】この発明の第2の実施形態によるバイポーラトランジスタの作成を示す図。

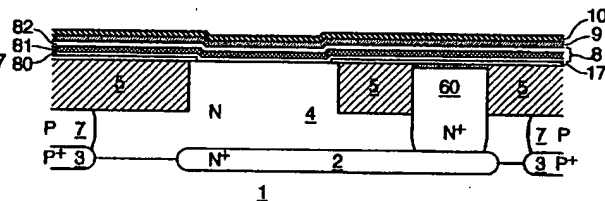
【符号の説明】

- |                |            |
|----------------|------------|
| 1 半導体基板        | 60 コレクタウェル |
| 2 外因性コレクタ層     | 81 SiGe層   |
| 4 真性コレクタ       | 800 ウィンドウ  |
| 5 水平絶縁領域       |            |
| 8 スタック層        |            |
| 9 二酸化シリコンの第1の層 |            |
| 10 窒化シリコンの第2の層 |            |
| 11 エミッタ        |            |

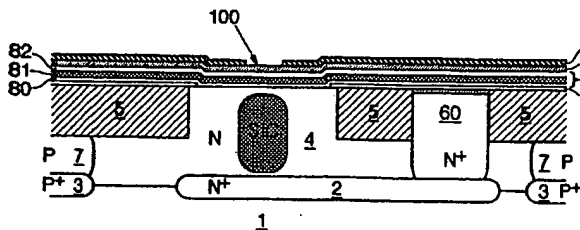
【図1】



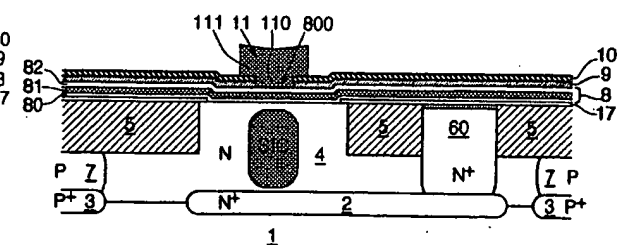
【図2】



【図3】

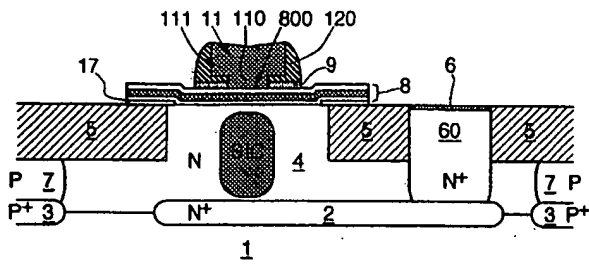


【図4】

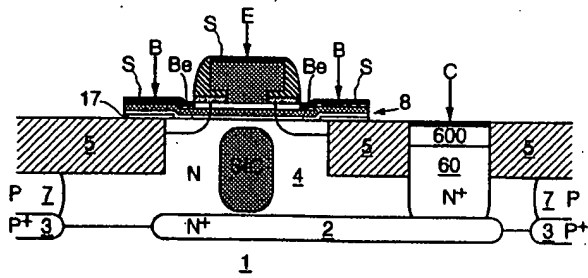




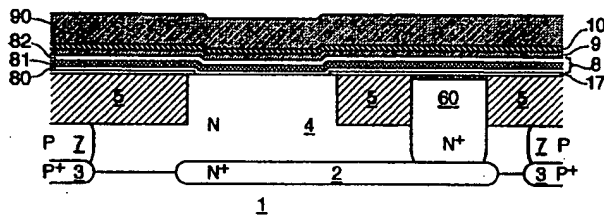
【図5】



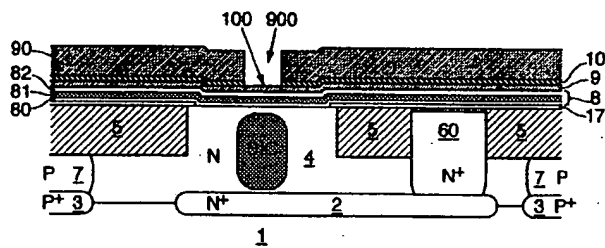
【図6】



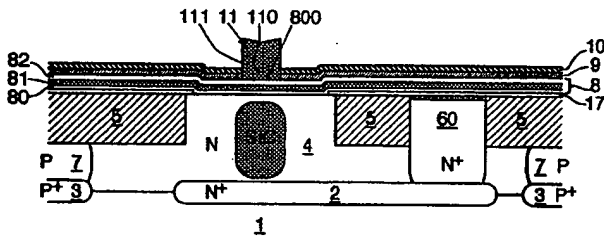
【図7】



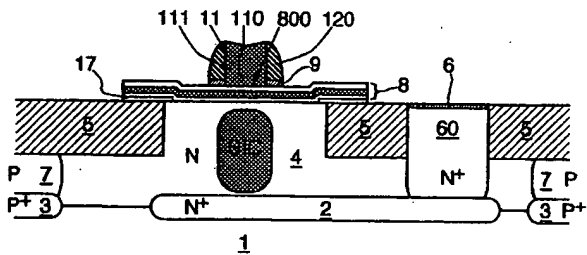
【図8】



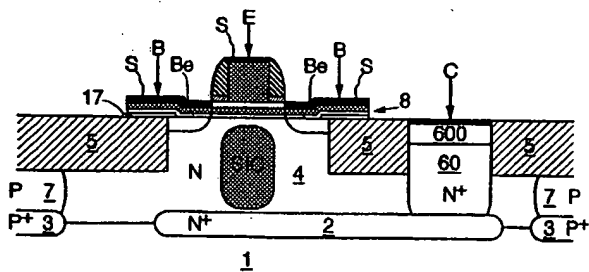
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 ミシエル・マルティ  
フランス、エフ-38760、サン・ポール・  
ド・ヴァルセ、レ・マインゲ (番地なし)  
(72)発明者 ディディエル・デュタルトル  
フランス、エフ-38240、メイラン、シェ  
ミン・ド・ガモン 1

(72)発明者 オグスティン・モンロイ  
フランス、エフ-38400、サン・マルテ  
ン・デレス、スクワール・レ・ペリール  
7

(72)発明者 ミシェル・ローレンス  
フランス、エフ-38120、サン・エグレヴ、  
リュ・デ・ブリオ 3エ

(72)発明者 フランソワ・ゲート  
フランス、エフ-38330、モンボノ・サ  
ン・マルテン、アレ・ファンテン・ラ・ト  
ウル、250、レジダンス・アンフィテア  
3

## 【外国語明細書】

## 1. Title of Invention

Low-noise vertical bipolar transistor and corresponding fabrication process

## 2. Claims

1. Process for fabricating a vertical bipolar transistor, characterized in that it comprises a step of producing an intrinsic collector (4) on an extrinsic collector layer (2) buried in a semiconductor substrate (1), a step of producing a lateral isolation region (5) surrounding the upper part of the intrinsic collector and of producing an offset extrinsic collector well (60), a step of producing an SiGe heterojunction base (8) lying above the intrinsic collector and above the lateral isolation region, this step comprising the non-selective epitaxial growth of a stack (8) of layers comprising at least one SiGe layer (81), and a step of producing an in-situ doped emitter (11) comprising epitaxial growth on a predetermined window (800) of the surface of the said stack, which window lies above the intrinsic collector, so as to obtain, at least above the said window, an emitter region formed from single-crystal silicon and directly in contact with the upper layer (82) of the said stack (8).

2. Process according to Claim 1, characterized in that the step of producing the emitter comprises:

- a first phase comprising the deposition of a silicon dioxide first layer (9) on the surface of the said stack (8), the deposition of a silicon nitride second layer (10) on the silicon dioxide first layer (9), an operation of etching a zone (100) corresponding to the position of the said window (800), in the silicon nitride layer (10), stopping on the silicon dioxide first layer (9), a chemical deoxidation of the said zone (100) so as to obtain a silicon surface having a concentration of oxygen atoms of less than  $10^{15}$  per  $\text{cm}^2$  in the said window (800), and

- a second phase comprising the exposure of the semiconductor block obtained at the first phase to a gas mixture of silane and of dopants in a non-oxidizing controlled atmosphere.

3. Process according to Claim 2, characterized in that, after the second phase, a silicon layer is obtained which is of single-crystal form at least above the said window and which is etched so as to form an emitter (11) comprising an upper region (111) wider than the window (800), this region bearing on part of the silicon nitride layer (10), and in that isolating spacers (120) are formed which are in contact with the vertical walls of the upper region wider than the emitter.

4. Process according to Claim 2, characterized in that the said first phase comprises the deposition of a thick silicon dioxide third layer (90) on the silicon nitride second layer (10) and an operation of preliminarily etching a region (900), corresponding to the position of the said zone (100), in the silicon dioxide third layer (90), stopping on the silicon nitride second layer (10), so as to obtain, after the first phase, a semiconductor block comprising a cavity of the same width as the said window (800) in the stack of the three insulating layers, in that, after the second phase, the said cavity is filled by the said epitaxial growth, in that the silicon dioxide third layer (90) is etched on each side of the emitter block (110) formed in the cavity and isolating spacers are formed which are in contact with the vertical walls of the emitter.

5. Process according to one of Claims 2 to 4, characterized in that, in the said second phase, the amount of dopant gas is varied so as to obtain a lower dopant concentration in the upper part (111) of the emitter than in the lower part (110) directly in contact with the base.

6. Vertical bipolar transistor, characterized in that it comprises an intrinsic collector (4) located on an extrinsic collector layer (2) buried in a semiconductor substrate, a lateral isolation region (5) surrounding the upper part of the intrinsic collector, an offset extrinsic collector well (60), an SiGe heterojunction base (8) lying above the intrinsic collector and above the lateral isolation region and

formed in a stack of layers comprising at least one SiGe layer (81) and a doped emitter (11), which is surrounded by the base, comprising, at least above a predetermined window (800) in the surface of the said stack, said window lying above the intrinsic collector, an emitter region formed from single-crystal silicon and directly in contact with the upper layer (82) of the said stack (8).

7. Transistor according to Claim 6, characterized in that the said window (800) in the surface of the said stack (8) has a concentration of oxygen atoms of less than  $10^{15}$  per  $\text{cm}^2$ .

8. Transistor according to Claim 6 or 7 characterized in that the emitter comprises an upper region (111) wider than the window (800), this region bearing on a silicon nitride layer (10) which itself is supported by a silicon dioxide layer (9) resting on part of the base, and in that it comprises isolating spacers (20) in contact with the vertical walls of the upper region wider than the emitter and bearing on the silicon dioxide layer (9).

9. Transistor according to Claim 6 or 7, characterized in that the emitter is formed from a block (110) of the same width as the window (800), which entire block bears directly on the said stack (8), and in that it comprises isolating spacers (120) in contact with the vertical walls of the emitter and bearing on a silicon dioxide layer (9).

10. Transistor according to one of Claims 6 to 9, characterized in that the emitter (11) is doped more lightly in its upper part than in its lower part directly in contact with the said stack.

### 3. Detailed Description of Invention

The invention relates to vertical bipolar transistors, especially those intended to be integrated in high-frequency very-large-scale-integration (VLSI) technologies, and in particular to the characteristics and production of the emitters for these transistors.

In polysilicon-emitter bipolar technologies, the emitter results from a deposition of polysilicon which can be carried out in a conventional oven and followed by a doping operation. As a variant, the emitter may be doped in situ in a chemical vapour deposition (CVD) reactor.

In both cases, an oxide layer is present at the emitter/base interface. This layer limits the hole current in the base (injected electrons continue to flow due to the tunnel effect). This helps to obtain a sufficient current gain ( $I_C/I_B$ ).

However, these polysilicon-emitter transistors have certain drawbacks. First of all, they exhibit low-frequency noise and this results in low-frequency fluctuations in the transistor current. This is even more troublesome in the case of radiofrequency circuits incorporating such transistors and with the aid of which it is desired to separate two close carriers, or else in the case of oscillators.

Moreover, the dimensional characteristics of the oxide layer at the base/polysilicon-emitter interface have an influence on the static parameters of the transistor, especially its gain. However, it is particularly difficult to guarantee identical characteristics for oxide interfaces of all the transistors of several batches, this being especially so when the surface of the emitters varies. Consequently, it is particularly difficult to obtain uniform characteristics in all the transistors produced, whatever the surface of their emitter.

The invention aims to provide a solution to these problems.

One object of the invention is to reduce the low-frequency noise while still retaining acceptable static parameters, and especially a correct current gain.

Another object of the invention is to allow better uniformity of the characteristics of the transistors to be obtained, whatever the surface of their emitter.

A further object of the invention is to provide a bipolar transistor in which the doping of the emitter allows both a high electron injection efficiency and good siliciding of the upper surface of the emitter.

The invention therefore provides a process for fabricating a vertical bipolar transistor, comprising a step of producing an intrinsic collector, for example by epitaxial growth or implantation, on an extrinsic collector layer buried in a semiconductor substrate, a step of producing a lateral isolation region surrounding the upper part of the intrinsic collector and of producing an offset extrinsic collector well, a step of producing an SiGe (Silicon-Germanium) heterojunction base lying above the intrinsic collector and above the lateral isolation region, this step comprising the non-selective epitaxial growth of a stack of layers comprising at least one SiGe layer, for example an SiGe layer encapsulated by two silicon layers or else an SiGe layer on top of a silicon layer, and a step of producing an in-situ doped emitter comprising epitaxial growth on a predetermined window of the surface of the said stack ("emitter window"), which window lies above the intrinsic collector, so as to obtain, at least above the said window, an emitter region formed from single-crystal silicon and directly in contact with the upper layer of the stack, for example the silicon of the upper encapsulation layer of the said stack.



In other words, the invention provides a way of producing an epitaxially grown single-crystal emitter directly on the "base" (this word is misused as in fact the emitter/base junction defining the upper part of the intrinsic base lies in the upper encapsulation layer) so as to get round the problem of the presence of an interfacial oxide layer. Consequently, the single-crystal emitter grown epitaxially, which means that there is no interfacial oxide, results in better uniformity of the characteristics of the transistors, whatever the surface of the emitters.

Moreover, it has been observed that such transistors with an emitter which is grown epitaxially directly on the base, and consequently which gets round the problem of interfacial oxide, exhibited appreciably reduced low-frequency noise. Furthermore, the presence of a silicon-germanium heterojunction base makes it possible, in combination with an emitter grown epitaxially directly on the base, to compensate to an acceptable extent for the loss of gain caused by the disappearance of the interfacial oxide layer.

Finally, the fact of using an operation of in-situ doping of the emitter, in combination with a single-crystal emitter, makes it possible, when producing the emitter, to gradually vary the amount of dopant while the emitter is being grown. This makes it possible, as will be seen in detail below in one particularly advantageous method of implementation, to obtain a higher dopant concentration in the bottom of the emitter than in the top of the emitter. This advantage is not possible with a polycrystalline emitter since the dopant is naturally distributed within the polysilicon because of the presence of the grain boundaries.

According to one method of implementing the invention, the step of producing the emitter comprises:

- a first phase comprising the deposition of a silicon dioxide first layer on the surface of the said stack, the deposition of a silicon nitride second layer

on the silicon dioxide first layer, an operation of etching a zone corresponding to the position of the emitter window, in the silicon nitride layer, stopping on the silicon dioxide first layer, then a chemical deoxidation of the said zone so as to obtain a silicon surface having a concentration of oxygen atoms of less than  $10^{15}/\text{cm}^2$  in the said window; and

- a second phase comprising the exposure of the semiconductor block obtained at the first phase to a gas mixture of silane and of dopants in a non-oxidizing controlled atmosphere, for example under vacuum, in an ultraclean CVD reactor well known to those skilled in the art.

Thus, the invention allows the use of conventional polysilicon deposition conditions in an ultraclean CVD reactor. However, the silicon grows in single-crystal form on the base because of the chemically clean character of the window in the base.

According to a first variant of the invention, after the second phase, a silicon layer is obtained which is of single-crystal form at least above the said window and which is etched so as to form an emitter comprising an upper region wider than the window, this region bearing on part of the silicon nitride layer. Isolating spacers are then formed which are in contact with the vertical walls of the upper region wider than the emitter.

According to another variant of the invention, the said first phase comprises the deposition of a thick silicon dioxide third layer on the silicon nitride second layer and an operation of preliminarily etching a region, corresponding to the position of the said zone and consequently of the emitter window, in the silicon dioxide third layer, stopping on the silicon nitride second layer, so as to obtain, after the first phase, a semiconductor block comprising a cavity, of the same width as the said window, in the stack of the three insulating layers. After the second phase, that is to say after epitaxial growth of the

emitter, the said cavity is filled by the said epitaxial growth, the silicon dioxide third layer is etched on each side of the emitter block formed in the cavity and isolating spacers are formed which are in contact with the vertical walls of the emitter.

In other words, according to this variant of the invention, a shorter distance is obtained between the edge of the emitter and the implanted zone of extrinsic base, thereby helping to further reduce the base resistance as well as the base-collector capacitance. Furthermore, this shorter distance is controlled by a single photolithography level.

According to one method of implementing the invention, which may, moreover, apply to either of the variants that have just been explained, the amount of dopant gas in the second phase is varied so as to obtain a lower dopant concentration in the upper part of the emitter than in the lower part directly in contact with the base. This makes it possible to obtain both a high electron injection efficiency and good siliciding of the upper part of the emitter.

The subject of the invention is also a vertical bipolar transistor, comprising an intrinsic collector located on an extrinsic collector layer buried in a semiconductor substrate, a lateral isolation region surrounding the upper part of the intrinsic collector, an offset extrinsic collector well, an SiGe heterojunction base lying above the intrinsic collector and above the lateral isolation region and formed in a stack of layers comprising at least one SiGe layer, for example an SiGe layer encapsulated by two silicon layers, and a doped emitter, which is surrounded by the extrinsic base, comprising, at least above a predetermined window in the surface of the said stack, said window lying above the intrinsic collector, an emitter region formed from single-crystal silicon and directly in contact with the upper layer of the stack, for example the silicon of the upper encapsulation layer of the said stack.

The said window in the surface of the said stack advantageously has a concentration of oxygen atoms of less than  $10^{15}/\text{cm}^2$ .

According to a first embodiment of the invention, the emitter comprises an upper region wider than the window and bearing on a silicon nitride layer which itself is supported by a silicon dioxide layer resting on part of the base. Moreover, the emitter comprises isolating spacers in contact with the vertical walls of the upper region wider than the emitter and bearing on the silicon dioxide layer.

According to another embodiment of the invention, the emitter is formed from a block of the same width as the window, which entire block bears directly on the said stack. It comprises isolating spacers in contact with the vertical walls of the emitter and bearing on a silicon dioxide layer.

According to another embodiment of the invention, the emitter is doped more lightly in its upper part than in its lower part directly in contact with the base.

Further advantages and characteristics of the invention will appear on reading the detailed description of methods of implementation and of embodiments, these being entirely non-limiting, and on examining the appended drawings.

In Figure 1, the reference 1 denotes a silicon substrate, for example a p-type silicon substrate, on the surface of which a buried extrinsic collector layer 2, doped  $n^+$  by arsenic implantation, is produced in a conventional manner known per se.

Likewise, two buried layers 3, doped p<sup>+</sup> by boron implantation, produced in a conventional manner on each side of the extrinsic collector 2.

A thick n-type single-crystal silicon layer 4 is grown epitaxially, in a manner known per se, on the substrate 1 thus formed, this layer 4 typically having a thickness of about 1 micron.

Next, a lateral isolating region 5 is produced in this layer 4, in a manner known per se, either by a local oxidation (or LOCOS) process or of the shallow-trench type. For the sake of simplification, Figure 1 shows a lateral isolation region 5 of the shallow-trench type.

An n<sup>+</sup>-doped collector well 60 contacting the buried layer 2 is also conventionally produced, especially by phosphorous implantation.

Next, boron implantation steps are carried out so as to produce p-doped wells 7 under the lateral isolation region 5, allowing the bipolar transistor described here to be isolated from the adjacent transistors.

Next, a thermal oxide, typically silicon dioxide, is grown, conventionally, on the surface of the epitaxially grown single-crystal intrinsic collector 4. This silicon dioxide growth takes place also over the entire wafer, and especially on the collector well 60. This oxide also forms the gate oxide for complementary isolated-gate field-effect transistors (CMOS transistors) produced in conjunction with the bipolar transistor on the same wafer (BiCMOS (Bipolar CMOS) technology).

Next, an amorphous silicon layer 17 having a thickness of about 500 Å is deposited on the semiconductor block thus formed.

Next, a window 170, called the "base window", is etched by plasma etching, stopping on the oxide layer 6. If lateral isolation of the shallow-trench type is used, the two parts of the etched silicon layer 17 slightly overhang above the intrinsic collector 4.

If lateral isolation of the LOCOS-type is used, the etching window 170 may be wider than the intrinsic collector 4.

Next (Figure 2), the oxide layer 6 lying above the collector undergoes chemical deoxidation. It should be noted here that one of the functions of the amorphous silicon layer 17 is to protect the rest of the wafer during this chemical deoxidation and especially the lateral isolation zones when these are produced by shallow trenches.

Next, after the base window has undergone a desorption treatment in hydrogen at a temperature above 600°C, a stack 8 of three layers 80, 81 and 82, within which the future base of the transistor will be produced, is grown epitaxially. More specifically, an undoped silicon first layer 80 is grown epitaxially to a depth of a few tens of nanometers. Next, the second layer 81, formed from silicon-germanium, is grown epitaxially. This layer is in fact composed of a first sublayer of  $\text{Si}_{1-x}\text{Ge}_x$ , here  $x$  is constant and lies between 0.1 and 0.2, on top of which is a second sublayer also formed from an  $\text{Si}_{1-x}\text{Ge}_x$  alloy (where  $x$ , for example, decreases right to 0) and p-doped by boron. The total thickness of the layer 81, typically from 20 to 100 nm, is not of great importance.

Next, the second sublayer of the layer 81 is covered by an epitaxially grown layer 82 of silicon p-doped by boron, this layer 82 having a thickness of a few tens of nanometers.

After this epitaxy, typically carried out at 700°C in an ultraclean CVD reactor, a stack of layers is therefore obtained, these layers being single-crystal layers on the intrinsic collector in the base window and polycrystalline layers above the amorphous silicon layers 17. This multilayer stack will allow a silicon-germanium heterojunction base to be formed. It should be noted here that the epitaxy for producing the heterojunction base is non-selective epitaxy.

Moreover, the presence of the amorphous silicon layer 17 makes it possible to have, at the start of epitaxy, a surface essentially formed from silicon, thereby making it possible to obtain a growth rate which is approximately the same on the intrinsic collector and on the amorphous silicon, resulting in greater thickness uniformity of the base.

Next, a silicon dioxide first layer 81 having a thickness of about 200 Å is deposited on the layer 81. Also deposited on the silicon dioxide first layer 9 is a silicon nitride ( $\text{Si}_3\text{N}_4$ ) second layer 10 having a thickness of 300 Å.

Next (Figure 3), a zone 100 is defined, using a mask, in the nitride layer 10 corresponding to an emitter window lying above the intrinsic collector 4. Then, using a resin layer corresponding to the said mask, the nitride layer 10 is conventionally plasma-etched, stopping on the silicon dioxide layer 9, so as to expose the zone 100. Next, the operation of implanting phosphorous through the base is carried out, while retaining the resin which is present on the layer 10 and has served for etching the latter. An operation of selectively overdoping the collector (to form a selective implantation collector) below the emitter window may be carried out in one or more implantation steps, thus helping to increase the speed of the transistor by reducing the collector resistance. An overdoped SIC zone below the emitter window is therefore obtained.

After this step, the resin present on the silicon nitride layer 10 is removed and a chemical deoxidation treatment is carried out so as to remove the part of the silicon dioxide layer 9 which lies in the zone 100 and thus to produce the emitter window 800 (Figure 4).

An example of such a chemical deoxidation treatment consists in using an acid bath based on an approximately 1% dilute hydrofluoric acid for 1 minute. This makes it possible to obtain a chemically clean

single-crystal silicon surface, i.e. a surface whose concentration of oxygen atoms is less than  $10^{15}/\text{cm}^2$ . Moreover, such a chemical deoxidation step does not degrade the underlying single-crystal silicon surface (unlike plasma etching, for example) and consequently does not introduce crystal defects.

In order to further improve the surface state of the silicon, it is advantageous to carry out a high-temperature ( $> 550^\circ\text{C}$ ) desorption treatment in hydrogen so as to remove residual impurities adsorbed on the surface of the silicon during the deoxidation.

Next, the emitter of the transistor is produced in an ultraclean CVD reactor, for example the reactor sold by the company Applied Materials under the reference Centura HTF.

More specifically, the semiconductor block with the exposed base at the emitter window 800 is exposed to a silane/arsine gas mixture in a non-oxidizing atmosphere, typically a vacuum, or in hydrogen.

The CVD conditions are, for example, a hydrogen flow rate of 10 litres/minute, a silane flow rate of 0.5 litres/minute and an arsine flow rate of  $0.12 \text{ cm}^3/\text{minute}$  at  $630^\circ\text{C}$  and at a pressure of 80 torr.

Those skilled in the art will have noted that these conditions correspond in fact to polysilicon deposition. However, because of the chemically clean character of the single-crystal surface of the exposed base at the window 800, the silicon deposited in this reactor grows epitaxially, i.e. it forms a single-crystal layer on the base.

After having obtained a silicon layer with a thickness of about  $2500 \text{ \AA}$ , the silicon layer is conventionally etched, using a new photolithography mask and a corresponding resin block, so as to obtain (Figure 4) an emitter 11 having, in the window 80, a lower part 110 on which there is an upper part 111 wider than the emitter window, the distance between the edge of the emitter window and the edge of the region 111 being typically about  $0.2 \text{ }\mu\text{m}$ . This emitter was



therefore doped in situ and is of single-crystal form at least near the interface with the base in the emitter window. In practice, it was observed that it was of single-crystal form near the interface and polycrystalline above the nitride, and had a preferred orientation in the upper epitaxially grown part, above the window.

Next, a silicon nitride layer is deposited and etched so as to obtain spacers 120 which include the silicon nitride layer 10 and bear on the vertical walls of the upper region 111 of the emitter and on the silicon dioxide layer 9 (Figure 5).

Next, the geometry of the base of the transistor is then defined, using a new mask, and then, after the oxide layer 9 has been pre-etched, the stack of the layers 17 and 8 is etched so as to obtain the configuration illustrated in Figure 5.

Next, deposited on each side of the base, is a block of resin, as well as a vignette of resin above the emitter, and then the stack 8 undergoes p<sup>+</sup> implantations using boron so as to define the extrinsic base Be (Figure 6). Next, after the transistor has been protected by resin, an arsenic implantation operation is carried out so as to produce an n<sup>+</sup>-implanted zone, labelled 600, on the surface of the collector well.

The final step consists in producing the base, emitter and collector connection pads 5 using a known technique of the 'self-aligned silicide' type, which comprises depositing a layer of metal, (for example titanium) in order to form a silicide (TiSi<sub>2</sub>) on the silicon areas of the extrinsic base, the emitter and the extrinsic collector.

The transistor according to the invention, as illustrated in Figure 6 is therefore an n-p-n vertical bipolar transistor with a silicon-germanium heterojunction base which can be used in a VLSI-type BiCMOS technology. It has a single-crystal emitter directly in contact with the silicon of the upper encapsulation layer (82). However, especially because

of the dopant diffusions and the various conventional heat treatments, the emitter/base junction lies within the layer 82. The low-frequency noise of the transistor is reduced, while its static parameters, especially the current gain, remain good. Furthermore, the transistor has a lower emitter resistance compared with transistors which have a polycrystalline emitter.

In the embodiment which has just been described, the distance between the edge of the window 800 and the edge of the upper region of the emitter depends on the alignment of the photolithography mask used for etching the upper region of the emitter with respect to the photolithography mask used for etching the emitter window proper. This makes the fabrication of the transistor slightly more difficult.

The embodiment illustrated in Figures 7 to 11 makes it possible to get round this problem since, as illustrated in Figure 7, a thick silicon dioxide third layer 90 (typically having a thickness of 2000 Å) is deposited on the silicon nitride layer 10. Next (Figure 8), a region 900 corresponding to the position of the zone 100 of the layer 10 (Figure 3), and consequently the position of the emitter window 800, is conventionally plasma-etched in the thick layer 90, stopping on the silicon nitride second layer 10. The etching of the emitter window continues in a similar way to that described in the previous method of implementation. Likewise, the implantation of the SIC zone is similar to that described above.

Next, silicon is deposited, in a similar way to that described above, under polysilicon deposition conditions causing re-epitaxial growth of the silicon on the base in the cavity made within the stack of successive layers of silicon dioxide 9, silicon nitride 10 and silicon dioxide 90.

Next, the silicon extending beyond the cavity is removed, for example by mechanical-chemical polishing, or else by full-wafer etching, stopping on the oxide layer 90, and then (Figure 9) the layer 90 is

plasma-etched on each side of the epitaxially grown single-crystal silicon, stopping on the silicon nitride layer 10, so as to obtain an emitter formed as a single block 110 with the same width as the emitter window.

The next steps of this method of implementation, and especially the formation of the spacers 120, are similar to those described above.

Consequently, a short distance is obtained between the edge of the emitter and the edge of the spacers 120, this distance no longer being controlled by a photolithography operation.

Apart from the technological simplification, a lower base resistance and a lower base-collector capacitance are obtained in the case of the transistor illustrated in Figure 11.

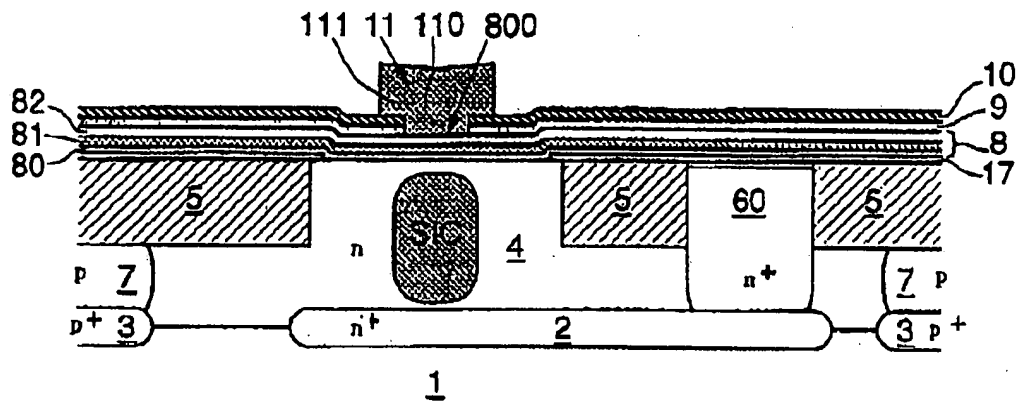
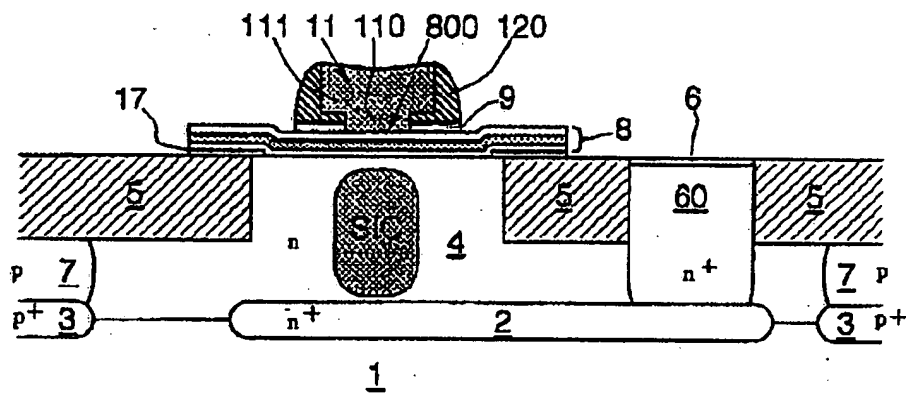
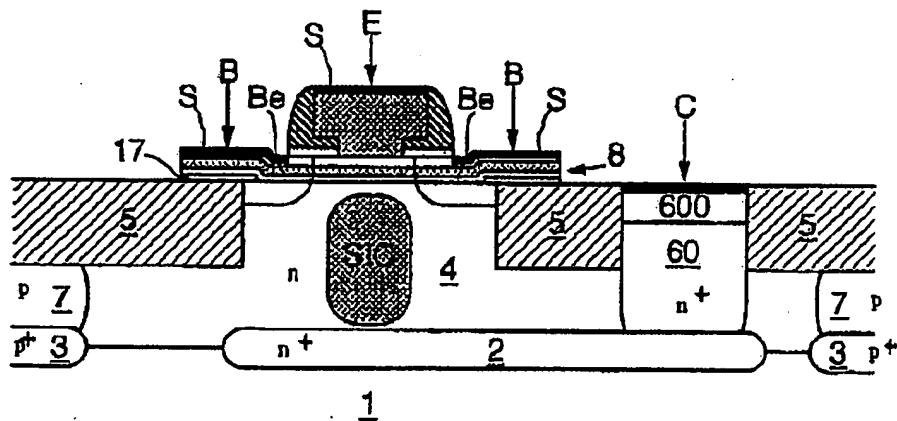
Finally, in either of the two embodiments which have just been described, it is particularly advantageous when producing the in-situ doped emitter to gradually vary the amount of dopant gas while the emitter is being epitaxially grown. Thus, at the start of the epitaxy, the abovementioned arsine flow rate ( $0.12 \text{ cm}^3/\text{minute}$ ) will, for example, be maintained while, in the upper region of the emitter, this flow rate will be reduced until it reaches, for example, the value of  $0.6 \text{ cm}^3/\text{minute}$ . Finally, in the case of the in-situ doped emitter, an As dopant concentration of, for example,  $3 \times 10^{20}/\text{cm}^3$  in the lower region of the emitter in contact with the base and an As dopant concentration of, for example,  $10^{20}/\text{cm}^3$  in the upper region of the emitter will therefore be obtained. These values therefore make it possible to achieve both good electron injection in the lower part of the emitter and good siliciding above the upper part of the emitter.

#### 4. Brief Description of Drawings

- Figures 1 to 6 diagrammatically illustrate a first method of implementing the process according to the invention, resulting in a first embodiment of a bipolar transistor according to the invention, and

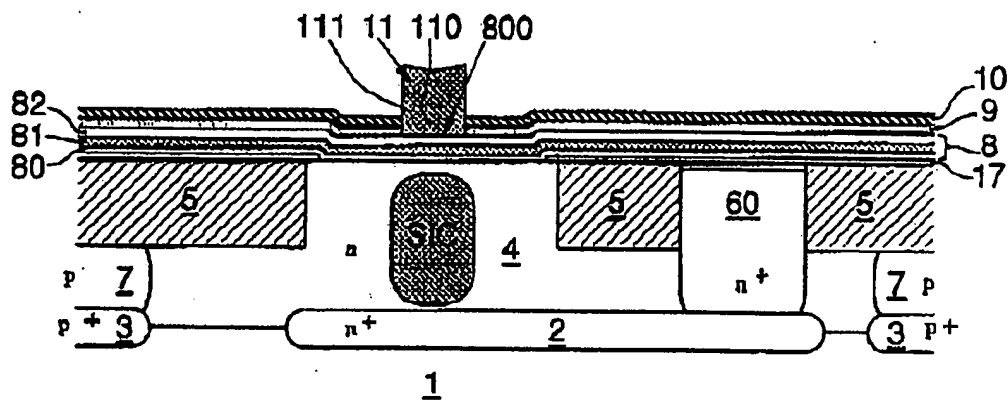
- Figures 7 to 11 diagrammatically illustrate a second method of implementing the process according to the invention, resulting in a second embodiment of a bipolar transistor according to the invention.



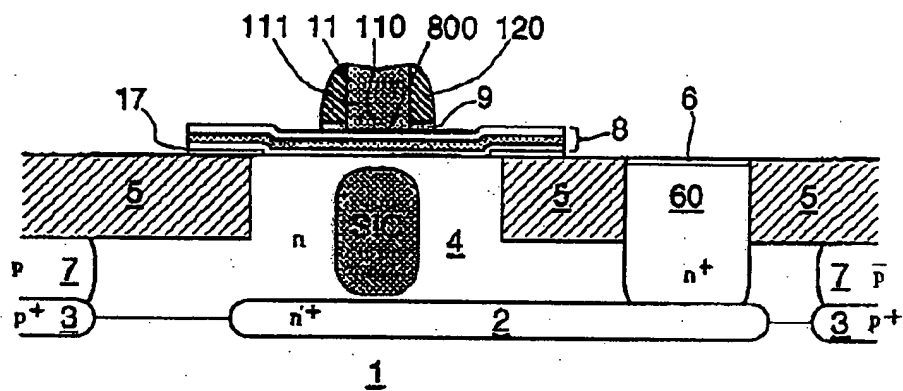
**FIG.4****FIG.5****FIG.6**



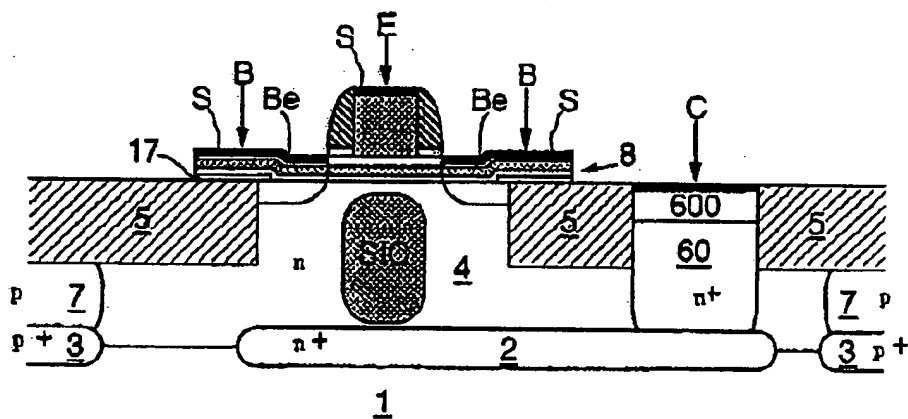
**FIG.9**



**FIG.10**



**FIG. 11**



## 1. Abstract



The intrinsic collector (4) is grown epitaxially on an extrinsic collector layer (2) buried in a semiconductor substrate (1). A lateral isolation region (5) surrounds the upper part of the intrinsic collector and an offset extrinsic collector well (60) is produced. An SiGe heterojunction base (8) lying above the intrinsic collector and above the lateral isolation region is produced by non-selective epitaxy, and an in-situ doped emitter (11) is produced by epitaxy on a predetermined window (80) in the surface of the base which lies above the intrinsic collector so as to obtain, at least above the said window, an emitter region formed from single-crystal silicon and directly in contact with the silicon of the base.

## 2. Representative Drawings

### Figure 6

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**